

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

**Defective images within this document are accurate representations of
the original documents submitted by the applicant.**

Defects in the images may include (but are not limited to):

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **BLURRY OR ILLEGIBLE TEXT**
- **SKEWED/SLATED IMAGES**
- **COLORLED PHOTOS**
- **BLACK OR VERY DARK BLACK AND WHITE PHOTOS**
- **UNDECIPHERABLE GRAY SCALE DOCUMENTS**

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



COPY OF PAPERS
ORIGINALLY FILED



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen:

101 11 440.0

Anmeldetag:

9. März 2001

Anmelder/Inhaber:

Infineon Technologies AG, München/DE

Bezeichnung:

Adressengenerator zur Erzeugung von Adressen
zum Testen einer Schaltung

IPC:

G 11 C 29/00

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 21. März 2002
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Nietiedt

Beschreibung

Adressengenerator zur Erzeugung von Adressen zum Testen einer Schaltung

5

Die Erfindung betrifft einen Adressengenerator zur Erzeugung von Adressen zum Testen einer adressierbaren Schaltung, und insbesondere zum Testen eines adressierbaren Speicherbausteins.

10

Schaltungen werden nach dem Herstellungsvorgang in Allgemeinen einem Testvorgang unterzogen, um zu prüfen ob sie funktionsfähig sind. Insbesondere integrierte Halbleiterschaltungen bestehen aus einer Vielzahl von Bauelementen um deren Funktionsfähigkeit in aufwendigen Testverfahren zu prüfen.

15

Figur 1 zeigt eine Testanordnung nach dem Stand der Technik. Ein Testgerät ist über einen Datenbus mit der Busbreite D und einen Adressbus mit der Busbreite A an eine zu testende Schaltung DUT (DUT: Device under test) angeschlossen und überprüft dessen Funktionsfähigkeit. Bei der zu testenden Schaltung handelt es sich bspw. um einen Speicher mit einer Vielzahl von matrixförmig angeordneten Speicherzellen, die über den Adressbus adressierbar sind. Das Testgerät generiert in einem Adressengenerator die Adressen der zu testenden Speicherzellen. In einem Testmuster-generator werden Testdatenmuster generiert und über den Datenbus an die zu testenden Speicherzellen angelegt. Anschliessend werden die Daten aus dem Speicherzellen wieder über den Datenbus ausgelesen und in einer Test-Auswertungsschaltung innerhalb des Testgeräts mit den erwarteten Daten verglichen. Bei der zu testenden Schaltung kann es sich um eine beliebige digitale Schaltung handeln, bspw. um einen Speicher, eine logische Schaltung oder eine Schaltung, die sowohl Logikelemente als auch Speicherzellen enthält. Stimmen die von der Testdatenauswertungsschaltung erfaßten Daten mit den erwarteten Datenwerten über-

20

25

30

35

ein, erkennt das Testgerät, dass die zu testende Schaltung DUT funktionsfähig ist.

Figur 2 zeigt schematisch den Aufbau eines Speichers mit $M \times N$ -
5 Speicherzellen SZ, die matrixförmig angeordnet sind und über
Zeilenadressen X und Spaltenadressen Y adressierbar sind. Bei
integrierten Speichern, bspw. DRAM-Speichern handelt es sich
um komplexe Schaltungsanordnungen, bei denen Speicherzellen
10 die im logischen Adressraum nebeneinander liegen in der rea-
len schaltungstechnischen Anordnung von einander entfernt
liegen, bspw. in einer anderen Schicht des Halbleiterspei-
chers. Umgekehrt grenzen oft Speicherzellen aneinander, deren
logische Adressen eine grosse Differenz aufweisen. Um Wech-
selwirkungen zwischen verschiedenen Speicherzellen zu testen,
15 führt das Testprogramm definierte Sprünge von einer Speicher-
zelle SZ_A zu einer anderen Speicherzelle SZ_B durch. Die Funk-
tionalität der einzelnen Speicherzellen SZ wird durch Ein-
schreiben von Daten und anschließendes Auslesen von Daten ge-
prüft. Zum Testen von Interaktionen zwischen den Speicherzel-
20 len SZ werden vorbestimmte Adressenmuster an den Speicher an-
gelegt.

Der Nachteil der in Figur 1 dargestellten herkömmlichen Test-
anordnung besteht darin, dass die Adressbusbreite A relativ
gross ist, d. h. dass viele Adressbusleitungen von dem Testge-
rät zu der zu testenden Schaltung DUT geführt werden müssen.
Ist die zu testende Schaltung DUT bspw. ein $M \times N$ -Speicher be-
trägt die Anzahl A der Adressleitungen:

30 $A = 1dM + 1dN$

Wobei M die Anzahl der Spaltenadressleitungen und N die An-
zahl der Zeilenadressleitungen des zu testenden Speichers DUT
ist.

35

Synchrone DRAM-Speicher arbeiten bereits bei Betriebsfrequen-
zen von einigen 100 MHz und müssen durch das Testgerät mit

einer entsprechenden Taktfrequenz getestet werden. Die in Figur 1 dargestellte Testanordnung nach dem Stand der Technik weist den Nachteil auf, das die Anzahl der Adressleitungen bzw. die Adressbusbreite A relativ hoch ist und die Länge der von dem Testgerät zu der zu testenden Schaltungsanordnung DUT führenden Testleitungen groß ist. Um ein Testen einer hochfrequent betriebenen Schaltungsanordnung, wie bspw. eines DRAM-Speichers zu ermöglichen, müssen daher bei der in Figur 1 dargestellten Testanordnung hoch komplexe Testgeräte eingesetzt werden, deren Testfrequenz der Betriebsfrequenz der zu testenden Schaltungsanordnung entspricht und die eine Adressbusbreite A aufweist, die identisch mit der Adressbusbreite der zu testenden Schaltung (DUT) ist.

Es ist daher die Aufgabe der vorliegenden Erfindung einen Adressengenerator zur Erzeugung von Adressen zum Testen einer adressierbaren Schaltung zu schaffen, der mit einer minimalen Anzahl von Steuerleitungen durch ein Testgerät betrieben werden kann.

Diese Aufgabe wird erfindungsgemäß durch einen Adressengenerator mit den im Patentanspruch 1 angegebenen Merkmale gelöst.

Die Erfindung schafft einen Adressengenerator zur Erzeugung von Adressen zum Testen einer adressierbaren Schaltung mit: mindestens einem Basisadressregister zum Zwischenspeichern einer Basisadresse, der jeweils einer zugehörigen Offsetregistergruppe zugeordnet ist, die mehrere Offsetregister zum Zwischenspeichern von Relativadresswerten aufweist, einer ersten Multiplexerschaltung, die in Abhängigkeit von einem Basisregister-Auswahlsteuersignal eine in dem Basisadressregister zwischengespeicherte Adresse an einen ersten Eingang einer Additionsschaltung und an einen Adressbus, der mit der zu testenden Schaltung verbunden ist, durchschaltet, einer zweiten Multiplexerschaltung, die in Abhängigkeit von dem Basisregister-Auswahlsteuersignal, die zu dem durchge-

geschalteten Basisadressregister zugehörige Offsetregistergruppe an eine dritte Multiplexerschaltung durchschaltet, die in Abhängigkeit von einem Offsetregister-Auswahlsteuersignal ein Offsetregister der durchgeschalteten Offsetregistergruppe an
5 einen zweiten Eingang der Additionsschaltung durchschaltet, wobei die Additionsschaltung, die an dem ersten Eingang anliegende Basisadresse mit dem an dem zweiten Eingang anliegenden Relativadresswert zu einer Adresse addiert, die in das Basisadressregister eingeschrieben wird.

10

Bei einer bevorzugten Ausführungsform des erfindungsgemäßen Adressengenerators sind die Basisadressregister und die zugehörigen Offsetregister über Initialisierungsleitungen durch ein externes Testgerät initialisierbar.

15

Bei einer weiteren bevorzugten Ausführungsform des erfindungsgemäßen Adressengenerators ist das an den Adressbus durchgeschaltete Adressensignal durch eine steuerbare Invertierschaltung invertierbar.

20

Bei einer weiteren bevorzugten Ausführungsform des erfindungsgemäßen Adressengenerators ist die Anzahl der Offsetregister einer Offsetregistergruppe gleich der Anzahl der zum Testen der Schaltung notwendigen Adress-Sprungvarianten.

25

Bei einer weiteren bevorzugten Ausführungsform des erfindungsgemäßen Adressengenerators ist die zu testende Schaltung ein synchroner Speicher, der mit einer hohen Betriebstaktfrequenz betrieben wird.

30

Der Speicher weist vorzugsweise eine Vielzahl von Speicherzellen auf, die über einen mehrdimensionalen Adressraum adressierbar sind.

35

Dabei entspricht die Anzahl des Basisadressregister vorzugsweise der Dimension des Adressraumes des zu testenden Speichers.

Bei einer besonders bevorzugten Ausführungsform des erfindungsgemäßen Adressengenerators werden die Basisadressenregister-Auswahlsteuersignale und die Offsetregister-Auswahlsteuersignale über einen Adress-Steuersignalbus von einem externen Testgerät an den Adressengenerator angelegt, wobei die Busbreite des Adress-Steuersignalbusses zwischen dem Testgerät und dem Adressengenerator kleiner ist als die Busbreite des Adressbusses zwischen dem Adressengenerator und der zu testenden Schaltung.

Die Länge der Adressbusleitungen zwischen dem Adressengenerator und der zu testenden Schaltungen ist vorzugsweise viel geringer als die Länge der Adress-Steuerleitungen zwischen dem Testgerät und dem Adressengenerator.

Bei einer besonders bevorzugten Ausführungsform ist der Adressengenerator in der zu testenden Schaltung integriert.

Im weiteren werden bevorzugte Ausführungsformen des erfindungsgemäßen Adressengenerators unter Bezugnahme auf die beigefügten Figuren zur Erläuterung erfindungswesentlicher Merkmale beschrieben.

Es zeigen:

Figur 1 eine Testanordnung nach dem Stand der Technik;

Figur 2 einen zu testenden Speicher mit mehreren Speicherzellen;

Figur 3 eine Testanordnung, bei der der erfindungsgemäße Adressengenerator eingesetzt wird;

Figur 4 eine besonders bevorzugte Ausführungsform des erfindungsgemäßen Adressengenerators.

Figur 3 stellt eine Testanordnung dar, bei der der erfindungsgemäße Adressengenerator 1 eingesetzt wird. Der Adressengenerator 1 dient zur Erzeugung von Adressen zum Testen einer adressierbaren zu testenden Schaltung 2. Der Adressengenerator 1 und die zu testende Schaltung 2 sind über einen Adressbus 3 miteinander verbunden. Der Adressengenerator 1 legt über den Adressbus 3 sukzessive Adressen von zu testenden Speicherzellen bzw. adressierbaren Bauelementen innerhalb der Schaltung 2 an. Bei der in Figur 3 dargestellten Testanordnung befindet sich der Adressengenerator 1 in einer Testschaltung 4, die bspw. als anwenderspezifische integrierte Schaltung (ASIC) ausgebildet ist. Die Testschaltung 4 enthält neben dem Adressengenerator 1 eine Schaltung 5 zur Erzeugung von Testdatenmustern und zu deren Auswertung. Die Schaltung 5 ist über einen Datenbus 6 mit der Datenbusbreite D ebenfalls an die zu testende Schaltung 2 angeschlossen. Der Datenmuster-generator 5 erzeugt Testdatenmuster, die über den Datenbus 6 in die adressierten Speicherzellen eingeschrieben und anschließend wieder über den Datenbus 6 ausgelesen werden. Die ausgelesenen Daten werden mit den erwarteten Daten durch Testdaten der Auswertungsschaltung 5 verglichen. Die Testdatenmuster-generator- und Auswerteschaltung 5 werden über einen Datensteuerleitungsbus 7 mit der Busbreite Z_D von einem externen herkömmlichen Testgerät 8 angesteuert. Das Testgerät 8 steuert über einen Adress-Steuerleitungsbus 9 den erfindungsgemäßen Adressgenerator 1 innerhalb der Testschaltung 4 an. Darüber hinaus ist das Testgerät 8 über Initialisierungsleitungen 10 und über eine Invertierungssteuerleitung 11 mit dem Adressengenerator 1 verbunden.

Die Testschaltung 4 ist bei einer ersten Ausführungsform in einer anwenderspezifischen integrierten Schaltung ASIC als eigenständige Halbleiterschaltung zwischen dem eigentlichen Testgerät 8 und der zu testenden Schaltungsanordnung 2 vorgesehen. Bei einer alternativen Ausführungsform ist die Testanordnung 4 in die zu testende Schaltungsanordnung 2 integriert. Bei beiden Ausführungsformen ist die Länge der Adress-

busleitungen des Adressbusses 3 zwischen dem Adressengenerator 1 und der zu testenden Schaltungsanordnung 2 wesentlich geringer als die Länge der Adress-Steuerleitungen zwischen dem Testgerät 8 und dem Adressengenerator 1. Hierdurch sind die auf dem Adressbus 3 anliegenden Adress-Testsignale wesentlich robuster gegenüber hochfrequenten Störsignalen, die bspw. von anderen Adressleitungen stammen. Die Adress-Testsignale werden ferner in weitaus geringerem Ausmaß durch die Adressleitungen verschliffen, so dass die Signalflanken der Adress-Signale, die an der zu testenden Schaltung 2 ankommen, relativ steil sind, wodurch Fehler beim Testen der Schaltungsanordnung 2 vermieden werden.

Figur 4 zeigt eine besonders bevorzugte Ausführungsform des erfindungsgemäßen Adressengenerators 1. Der Adressengenerator 1 enthält mehrere Basisadressregister 12a, 12b, Die Basisadressregister 12 dienen zum Zwischenspeichern einer Basisadresse, die über die Initialisierungsleitungen 10 durch das externe Testgerät 8 initialisierbar ist. Jedem der Basisadressregister 12 ist eine Offsetregistergruppe 13 zugeordnet. Mit der in Figur 4 dargestellten Ausführungsform ist dem Basisadressregister 12a für die X-Adresse bzw. Zeilenadresse des zu testenden Speichers 2 die Offsetregistergruppe 13a zugeordnet, die mehrere Offsetregister 13a-1, 13a-2, 13a-3, 13a-4 zum Zwischenspeichern von Relativadresswerten aufweist. Dem zweiten Basisadressregister 12b zum Zwischenspeichern der Y-Adresse bzw. Spaltenadresse des Speichers 2 ist eine zweite Offsetregistergruppe 13b zugeordnet, die aus mehreren Offsetregistern 13b-1, 13b-2, 13b-3, 13b-4 besteht. Die Relativadresswerte der verschiedenen Offsetregister einer Offsetregistergruppe 13a, 13b sind ebenfalls über Initialisierungsleitungen 10 durch das Testgerät 8 einstellbar bzw. programmierbar.

Die Anzahl der Offsetregister innerhalb einer Offsetregistergruppe 13a, 13b beträgt bei dem in Figur 4 dargestellten Ausführungsbeispiel vier und entspricht der Anzahl der notwendigen

gen Sprungvarianten zum Testen der Schaltungsanordnung 2. Verschiedenste Testsprungvarianten können über die Initialisierungsleitungen 10 durch das Testgerät 8 in den erfindungsgemäßen Adressengenerator 1 einprogrammiert werden. Soll

5 bspw. bei einer Test-Sprungvariante die gleiche Speicherzelle nochmals getestet werden, betragen die Relativadresswerte, die in die entsprechenden Offsetregister 13a-i, 13b-i der Offsetregistergruppen 13a, 13b eingeschrieben werden jeweils null. Soll in einer weiteren Test-Sprungvariante die Speicherzelle der nächsten Spalte innerhalb des Speichers 2 getestet werden, beträgt der Relativadressenwert in dem Offsetregister 13a-i null und in dem Offsetregister 13b-i eins.

10 Soll bei einer weiteren Test-Sprungvariante bspw. die Speicherzelle der übernächsten Spalte und der nächsten Zeile getestet werden, beträgt der Relativadressenwert des Offsetregisters 13a-i eins und der Relativadressenwert des Offsetregisters 13b-i zwei.

Bei dem in Figur 4 dargestellten Ausführungsbeispiel können 20 vier verschiedene Test-Sprungvarianten programmiert werden. Bei weiteren nicht dargestellten Ausführungsformen des erfindungsgemäßen Adressengenerators 1 sind entsprechend mehr Offsetregister zur Erhöhung der möglichen Testsprungvarianten vorgesehen.

35 Die Offsetregister der Offsetregistergruppen 13a, 13b sind über Leitungen 14a, 14b mit Eingängen 15a, 15b von Multiplexern 16 innerhalb einer ersten steuerbaren Multiplexerschaltung 17 verbunden. Die Multiplexer 16-1 bis 16-4 innerhalb der ersten Multiplexerschaltung 17 weisen jeweils Steuereingänge 18 auf, die über Leitungen 19 mit einem Steuereingang 20 der ersten Multiplexerschaltung 17 verbunden sind. Die Multiplexer 16-1 bis 16-4 innerhalb der ersten Multiplexerschaltung 17 besitzen ferner Ausgänge 21, die über Leitungen 22 mit Eingängen 23 von Multiplexer 24 innerhalb einer Multiplexerschaltung 25 verbunden sind. Die Multiplexer 24-1 bis 24-2 innerhalb der Multiplexerschaltung 25 weisen Steuerein-

gänge 26 auf, die über Steuerleitungen 27 mit einem Steuereingang 28 der Multiplexerschaltung 25 verbunden sind. Die Multiplexer 24-1, 24-2 weisen ferner Ausgänge 29 auf, die über Leitungen 30 an Eingänge 31 eines weiteren kaskadenförmig nachgeschalteten Multiplexers 32 innerhalb der Multiplexerschaltung 25 angeschlossen sind. Der nachgeschaltete Multiplexer 32 weist einen Steuereingang 33 auf, der über eine Steuerleitung 34 mit einem weiteren Steuereingang 28-2 der Multiplexer 25 verbunden ist. Der Multiplexer 32 besitzt einen Ausgang 35, der über eine Leitung 36 an einen Ausgang 37 der Multiplexerschaltung 25 angeschlossen ist.

Neben der Multiplexerschaltung 17 und der Multiplexerschaltung 25 enthält der erfindungsgemäße Adressengenerator 1, wie er in Figur 4 dargestellt ist, eine weitere Multiplexerschaltung 38, die in Abhängigkeit von dem an der Steuerleitung 9 anliegenden Basisregister-Auswahlsteuersignal eine in den Basisadressregistern 12-1, 12-2 zwischengespeicherte Adresse von einem ersten Eingang einer Additionsschaltung an einen Adressbus der zu testenden Schaltung 2 durchschaltet. Hierzu weist die Multiplexerschaltung 38 einen Steuereingang 39 auf, der an die Steuerleitung 9 angeschlossen ist. Die Multiplexerschaltung 38 weist einen ersten Eingang 40 auf, der über eine Leitung 41 mit dem ersten Basisadressregister 12a zum Zwischenspeichern der Zeilenadresse X verbunden ist und einen zweiten Eingang 42, der über eine Leitung 43 mit dem zweiten Basisadressregister 12b zum Zwischenspeichern der Spaltenadresse Y verbunden ist. Die Steuereingänge 39 der Multiplexerschaltung 38 und der Steuereingang 20 der Multiplexerschaltung 17 empfangen über die Steuerleitung 9 das gleiche Basisregister-Auswahlsteuersignal. Der Steuereingang 20 der Multiplexerschaltung 17 ist hierzu zu einer Steuerleitung 44 ebenfalls an die Steuerleitung 9 angeschlossen. Wird ein Basisadressregister 12-i in Abhängigkeit von dem an der Steuerleitung 9 anliegenden Basisregister-Auswahlsteuersignal durch die erste Multiplexerschaltung 38 an dessen Ausgang 45 durchgeschaltet, werden gleichzeitig alle Offsetregister der

zu dem durchgeschalteten Basisregister 12 zugehörigen Offsetregistergruppe 13 durch die Multiplexerschaltung 17 an die Multiplexerschaltung 25 durchgeschaltet.

5 Die Steuereingänge 28-1, 28-2 der Multiplexerschaltung 25 sind über Leitungen 46 mit einem Steueranschluss 47 des Adressengenerators 1 verbunden. Der Steuereingang 20 der Multiplexerschaltung 17 ist über eine Leitung 44 und der Steuereingang 39 der Multiplexerschaltung 38 ist über eine Leitung
10 48 mit einem weiteren Steueranschluss 49 des erfindungsgemäßen Adressengenerators 1 verbunden. Die Steuereingänge 47, 49 werden über Adress-Steuerleitungen des Adress-Steuerleitungsbusses 9 durch das externe Testgerät 8 angesteuert. Das Testgerät 8 ist ferner über Initialisierungsleitungen 10 an einen
15 Initialisierungsanschluss 50 des Adressengenerators 1 angeschlossen. Der Initialisierungsanschluss 50 ist über interne Initialisierungsleitungen 51 mit dem Basisadressregistern 12a, 12b sowie über internen Initialisierungsleitungen 52 mit den Offsetregistern 13 verbunden.

20

Der Ausgang 55 der Multiplexerschaltung 38 ist bei der in Figur 4 dargestellten Ausführungsform über Leitungen 53 mit einer Invertierschaltung 54 verbunden. Die Invertierschaltung 54 ist bspw. eine XOR-Logikschaltung, die über interne Leitungen 55 mit einem Steueranschluss 56 des erfindungsgemäßen Adressengenerators 1 angeschlossen ist. Der Steueranschluss 56 erhält durch Leitungen 11 ein Invertierungssteuersignal von dem externen Testgerät 8. Durch die Invertierschaltung 54 ist es möglich bei Bedarf Adressensignale zum Testen der
25 Schaltungsanordnung 2 bitweise zu invertieren.

30

An dem Abzweigungsknoten 57 wird die durch die Multiplexerschaltung 45 durchgeschaltete Adresse über Leitungen 58 an einen ersten Eingang 59 einer Additionsschaltung 60 angelegt.
35 Die Additionsschaltung 60 weist einen zweiten Eingang 61 auf, der über Leitungen 62 mit dem Ausgang 37 der Multiplexerschaltung 25 verbunden ist. Die Additionsschaltung 60 addiert

die an dem ersten Eingang 59 anliegende durchgeschaltete Basisadresse mit dem an dem zweiten Eingang 61 anliegenden Relativadressenwert, der durch die Multiplexerschaltung 25 in Abhängigkeit von dem Offsetregister-Auswahlsteuersignal
5 durchgeschaltet wird, zu einem Summenadressenwert, der über einen Ausgang 63 und Leitungen 64 in die Basisadressregister 12 zur Erzeugung der nächsten Adresse eingeschrieben wird. Die steuerbare Invertierungsschaltung 54 weist einen Ausgang 65 auf, der über interne Leitungen 66 an einem Ausgang 67 des
10 erfindungsgemäßen Adressengenerators 1 angeschlossen ist.

Zum Testen der Schaltungsanordnung 2 werden zunächst die Basisadressen über die Initialisierungsleitungen 10 durch das Testgerät 8 initialisiert und in die Basisadressregister 12
15 eingeschrieben. Ferner werden die Relativsprungwerte der verschiedenen zu testenden Test-Sprungvarianten durch Einschreiben von Relativadressenwerten in die Offsetregister 13 initialisiert. Durch Anlegen eines Basisregister-Auswahlsteuersignals an den Steueranschluss 49 über Adress-
20 Steuerleitungen 9 wird eine Basisadresse selektiert. Anschliessend wird durch Anlegen eines Offsetregister-Auswahlsteuersignals an den Steuereingang 47 des Adressengenerators 1 die gewünschte Testsprungvariante bzw. der gewünschte Relativadressenwert selektiert. Die adressierte Speicherzelle wird anschliessend durch Anlegen und Auslesen von Daten geprüft. Der Vorgang wiederholt sich solange bis
5 erkannt wird, dass der Testvorgang beendet ist.

Bei dem in Figur 4 dargestellten Ausführungsbeispiel beträgt
30 die Anzahl Z_A der notwendigen Steuerleitungen 9 des Adress-Steuersignalbusses 9 zur Steuerung der Adressensprünge drei.

Allgemein beträgt die Anzahl Z_A der notwendigen Steuerleitungen durch Steuerung des Adressengenerators 1 durch das externe Testgerät 8:
35

$$Z_A = ldd + ldp$$

Wobei d die Dimension des Adressraumes der zu testenden Schaltungsanordnung 2 und p die Anzahl von gewünschten Testsprungvarianten ist.

5

Bei den in Figur 4 dargestellten Beispiel wird ein matrixförmig angeordneter Speicher Z mit einem zweidimensionalen Adressraum $d=2$ getestet, wobei die Anzahl der möglichen Testsprungvarianten p in dem dargestellten Beispiel vier beträgt.

10 Die Anzahl der notwendigen Steuerleitungen zur Ansteuerung des Adressengenerators beträgt somit drei.

Bei einem Speicher 2 mit 1024 ($=2^{10}$) Spaltenadressen und 1024 ($=2^{10}$) Zeilenadressen ist die Adressbusbreite A des Adress-

15 busses zwischen dem Adressengenerator 1 und dem Speicher mindestens zehn, während die Anzahl Z_A der notwendigen Steuerleitungen zur Ansteuerung des Adressengenerators 1 durch das externe Testgerät 8 lediglich drei Leitungen umfasst. Die Anzahl Z_A der notwendigen Adress-Steuerleitungen zur Ansteuerung des Adressengenerators 1 durch das Testgerät 8 ist somit

20 wesentlich geringer als die Breite des Adressbusses 3. Wird die Testanordnung 4, die den Adressgenerator 1 beinhaltet, als anwenderspezifische integrierte Schaltung (ASIC) räumlich nahe an die Schaltungsanordnung 2 platziert oder wird die

25 Testanordnung 4 sogar in die Schaltungsanordnung 2 integriert, ist die Länge der Adress-Steuerleitungen des Adress-Steuerleitungsbusses 9 wesentlich höher als die Länge der Adressleitungen zwischen dem erfindungsgemäßen Adressengenerator 1 und der zu testenden Schaltungsanordnung 2. Die Steuer-
30 signale auf den Adress-Steuerleitungen, die von dem Testgerät 8 an den erfindungsgemäßen Adressengenerator 1 abgegeben werden, weisen eine wesentlich geringere Taktfrequenz auf als die Taktfrequenz, mit der die generierten Adressen von dem Adressengenerator 1 an die Schaltungsanordnung 2 zum Testen
35 angelegt werden.

Bei der in Figur 3 dargestellten erfindungsgemäßen Testanordnung ist es daher möglich ein externes Testgerät 8 mit einer relativ niedrigen Betriebsfrequenz zu verwenden, das zudem nur eine sehr geringe Anzahl von Adress-Steuerleitungen aufweisen muss. Bei dem in Figur 3 dargestellten erfindungsgemäßen Testanordnung können daher herkömmliche Testgeräte 8, die mit einer relativ niedrigen Betriebsfrequenz arbeiten, zum Testen von Speicherbausteinen 2 eingesetzt werden, die mit einer erheblich höheren Taktfrequenz von einigen 100 MHz arbeiten, ohne das ein erheblicher zusätzlicher Scheidungsaufwand notwendig wird.

Patentansprüche

1. Adressengenerator zur Erzeugung von Adressen zum Testen einer adressierbaren Schaltung (2) mit:

5

(a) mindestens einem Basisadressregister (12) zum Zwischenspeichern einer Basisadresse, wobei dem Basisadressregister (12) jeweils eine zugehörige Offsetregistergruppe (13) zugeordnet ist, die mehrere Offsetregister zum Zwischenspeichern von Relativadressenwerten aufweist;

10

(b) einer ersten Multiplexerschaltung (38), die in Abhängigkeit von einem Basisregister-Auswahlsteuersignal eine in dem Basisadressregister (12) zwischengespeicherte Adresse an einen ersten Eingang (59) einer Additionsschaltung (60) und an einen Adressbus (3), der mit der zu testenden Schaltung (2) verbunden ist, durchschaltet;

15

(c) einer zweiten Multiplexerschaltung (17), die in Abhängigkeit von dem Basisregister-Auswahlsteuersignal die zu dem durchgeschalteten Basisadressregister (12) zugehörige Offsetregistergruppe (13) an eine dritte Multiplexerschaltung (25) durchschaltet, die in Abhängigkeit von einem Offsetregister-Auswahlsteuersignal ein Offsetregister der durchgeschalteten Offsetregistergruppe (13) an einen zweiten Eingang (61) der Additionsschaltung (60) durchschaltet;

20

(d) wobei die Additionsschaltung (60), die an dem ersten Eingang anliegende Adresse mit dem an dem zweiten Eingang (61) anliegenden Relativadressenwert zu einer Adresse addiert, die in dem Basisadressregister (12) zwischengespeichert wird.

30

2. Adressengenerator nach Anspruch 1

d a d u r c h g e k e n n z e i c h n e t ,

35

dass das Basisadressregister (12) und die zugehörigen Offsetregister (13) über Initialisierungsleitungen (10) durch ein externes Testgerät (8) initialisierbar sind.

3. Adressengenerator nach Anspruch 1 oder 2
dadurch gekennzeichnet,
dass das an den Adressbus (3) durchgeschaltete Adress-Signal
durch eine steuerbare Invertierschaltung (54) invertierbar
5 ist.
4. Adressengenerator nach einem der vorangehenden Ansprüche
dadurch gekennzeichnet,
dass die Anzahl der Offsetregister einer Offsetregistergruppe
10 (13) gleich der Anzahl der zum Testen der Schaltung (2) notwendigen Adress-Test-Sprungvarianten ist.
5. Adressengenerator nach einem der vorangehenden Ansprüche
dadurch gekennzeichnet,
15 dass die zu testenden Schaltung (2) ein synchroner RAM-Speicher mit einer hohen Betriebstaktfrequenz ist.
6. Adressengenerator nach einem der vorangehenden Ansprüche
dadurch gekennzeichnet,
20 dass der RAM-Speicher eine Vielzahl von Speicherzellen aufweist, die über einen mehrdimensionalen Adressraum (X, Y) adressierbar sind.
7. Adressengenerator nach einem der vorangehenden Ansprüche
dadurch gekennzeichnet,
25 dass die Anzahl der Basisadressregister (12) der Dimension (d) des Adressraumes des zu testenden Speichers (2) entspricht.
8. Adressengenerator nach einem der vorangehenden Ansprüche
dadurch gekennzeichnet,
30 dass die Basisregister-Auswahlsteuersignale und die Offsetregister-Auswahlsteuersignale über einen Adress-Steuersignalbus (9) von einem externen Testgerät (8) an den Adressgenerator
35 (1) angelegt werden,

wobei die Busbreite des Adress-Steuersignalbusses (9) kleiner ist als die Busbreite des Adressbusses (3) der zu testenden Schaltung (2).

- 5 9. Adressengenerator nach einem der vorangehenden Ansprüche
d a d u r c h g e k e n n z e i c h n e t,
dass die Leitungslängen der Adressbusleitungen zwischen dem
Adressgenerator (1) und der zu testenden Schaltung (2) gerin-
ger ist als die Leitungslängen der Adress-Steuerleitungen
10 zwischen dem Testgerät (8) und dem Adressgenerator (1).

10. Adressengenerator nach einem der vorangehenden Ansprüche
d a d u r c h g e k e n n z e i c h n e t,
dass der Adressengenerator (1) in der zu testenden Schaltung
15 (2) integriert ist.

Zusammenfassung

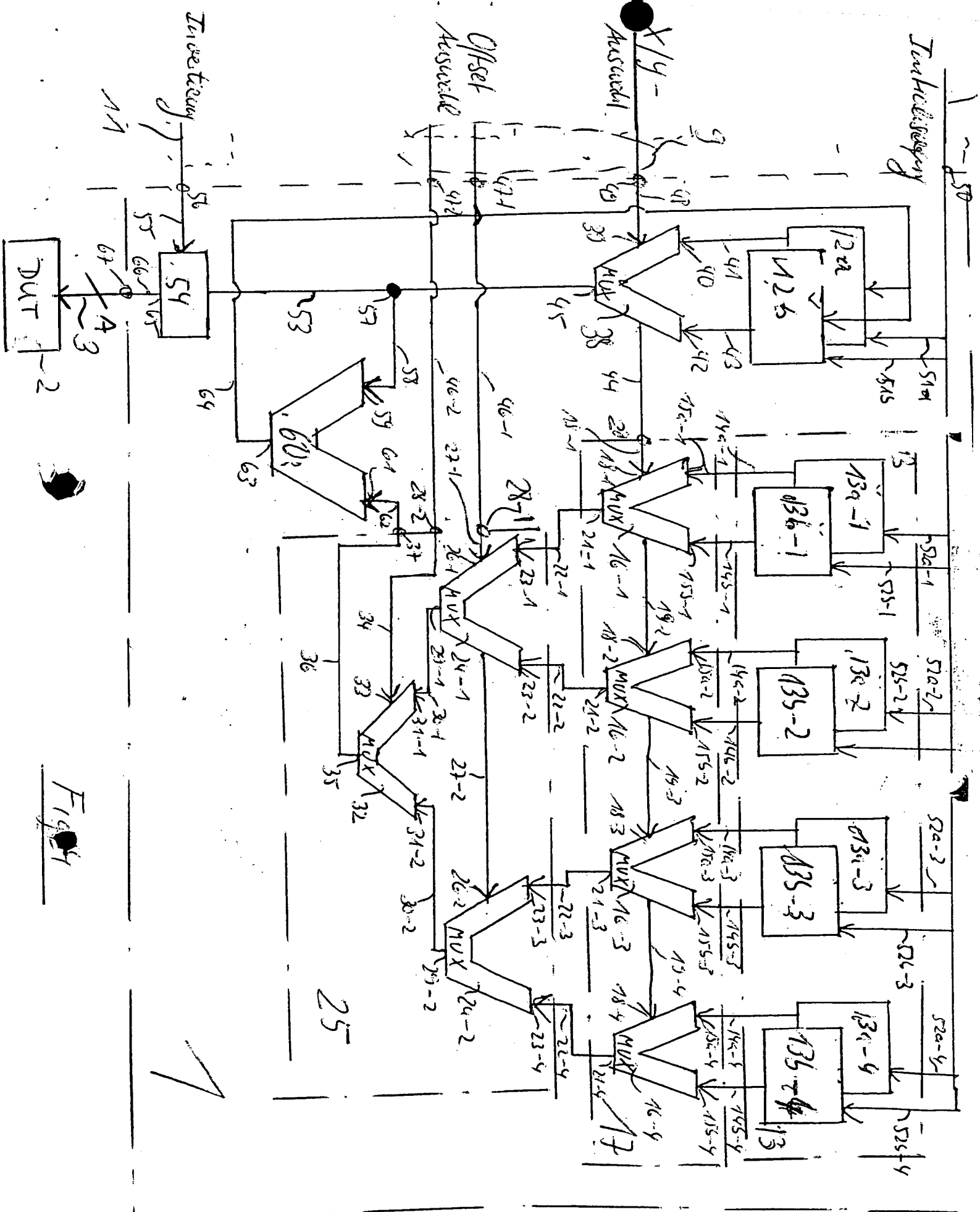
Adressengenerator zur Erzeugung von Adressen zum Testen einer Schaltung

5

Adressengenerator zur Erzeugung von Adressen zum Testen einer adressierbaren Schaltung (2), mit mindestens einem Basisadressregister (12) zum Zwischenspeichern einer Basisadresse, wobei dem Basisadressregister (12) jeweils eine zugehörige Offsetregistergruppe (13) zugeordnet ist, die mehrere Offsetregister zum Zwischenspeichern von Relativadressenwerten aufweist, einer ersten Multiplexerschaltung (38), die in Abhängigkeit von einem Basisregister-Auswahlsteuersignal eine in dem Basisadressregister (12) zwischengespeicherte Adresse an einen ersten Eingang (59) einer Additionsschaltung (60) und an einen Adressbus (3), der mit der zu testenden Schaltung (2) verbunden ist, durchschaltet, einer zweiten Multiplexerschaltung (17), die in Abhängigkeit von dem Basisregister-Auswahlsteuersignal die zu dem durchgeschalteten Basisadressregister (12) zugehörige Offsetregistergruppe (13) an eine dritte Multiplexerschaltung (25) durchschaltet, die in Abhängigkeit von einem Offsetregister-Auswahlsteuersignal ein Offsetregister der durchgeschalteten Offsetregistergruppe (13) an einen zweiten Eingang (61) der Additionsschaltung (60) durchschaltet, wobei die Additionsschaltung (60), die an dem ersten Eingang anliegende Adresse mit dem an dem zweiten Eingang (61) anliegenden Relativadressenwert zu einer Adresse addiert, die in dem Basisadressregister (12) zwischengespeichert wird.

30

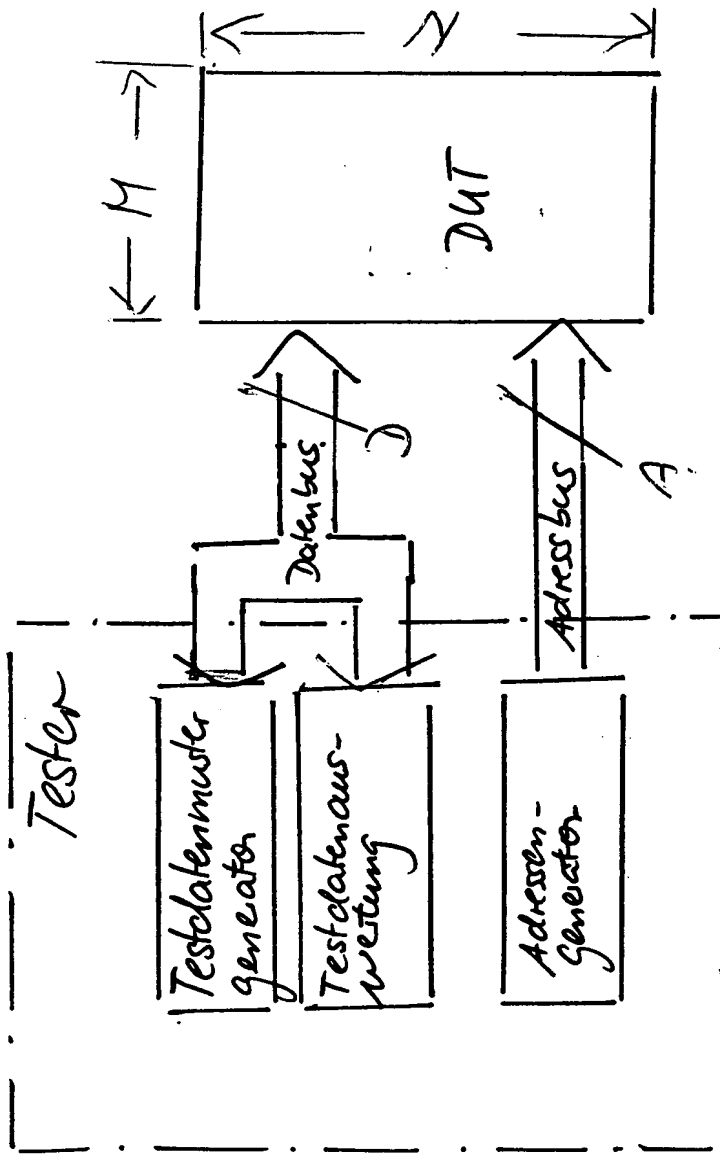
Figur 4



Bezugszeichenliste

1. Adressengenerator
2. zu testende Schaltung
- 5 3. Adressbus
4. Testschaltung
5. Testmuster-generator und Auswerteschaltung
6. Datenbus
7. Daten-Steuerleitungsbus
- 10 8. Testgerät
9. Adress-Steuerleitungsbus
10. Initialisierungsleitungen
11. Invertierungssteuerleitung
12. Basisadressregister
- 15 13. Offsetregister
14. Leitung
15. Multiplexereingang
16. Multiplexer
17. Multiplexerschaltung
- 20 18. Steuereingänge
19. Steuerleitung
20. Steuereingang
21. Ausgang
22. Leitungen
23. Multiplexereingang
24. Multiplexer
25. Multiplexerschaltung
26. Steuereingang
27. Steuerleitung
- 30 28. Steuereingang
29. Ausgang
30. Leitung
31. Eingang
32. Multiplexer
- 35 33. Steuereingang
34. Steuerleitung
35. Ausgang

- 36. Leitung
- 37. Ausgang
- 38. Multiplexerschaltung
- 39. Steuereingang
- 5 40. Eingang
- 41. Leitung
- 42. Eingang
- 43. Leitung
- 44. Steuerleitung
- 10 45. Ausgang
- 46. Steuerleitungen
- 47. Steuereingang
- 48. Steuerleitung
- 49. Steuereingang
- 15 50. Initialisierungsanschluss
- 51. Initialisierungsleitungen
- 52. Initialisierungsleitungen
- 53. Leitung
- 54. Invertierungsschaltung
- 20 55. Steuerleitung
- 56. Steuereingang
- 57. Zweigungsknoten
- 58. Leitung
- 59. Eingang
- 25 60. Additionsschaltung
- 61. Eingang
- 62. Leitung
- 63. Ausgang
- 64. Leitungen
- 30 65. Ausgang
- 66. Leitung
- 67. Adressausgang



1/4

Fig. 1 Stoll

2/4

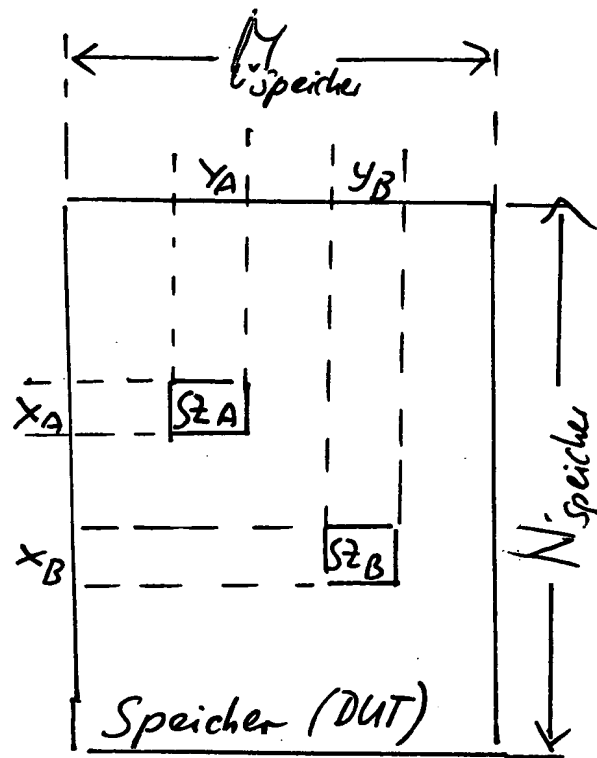


Fig. 2

Stolt

3/4

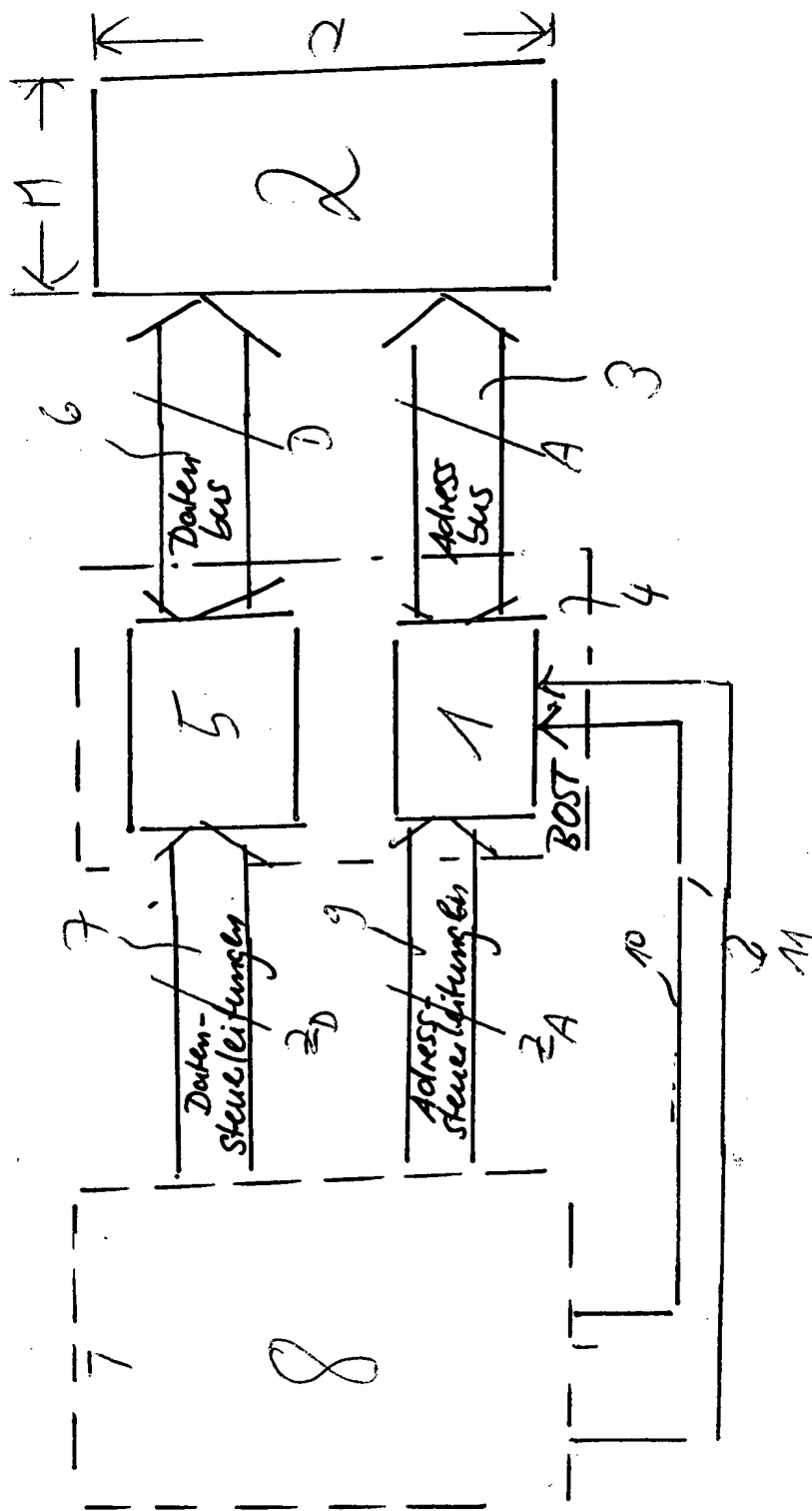


Fig. 3

4/4

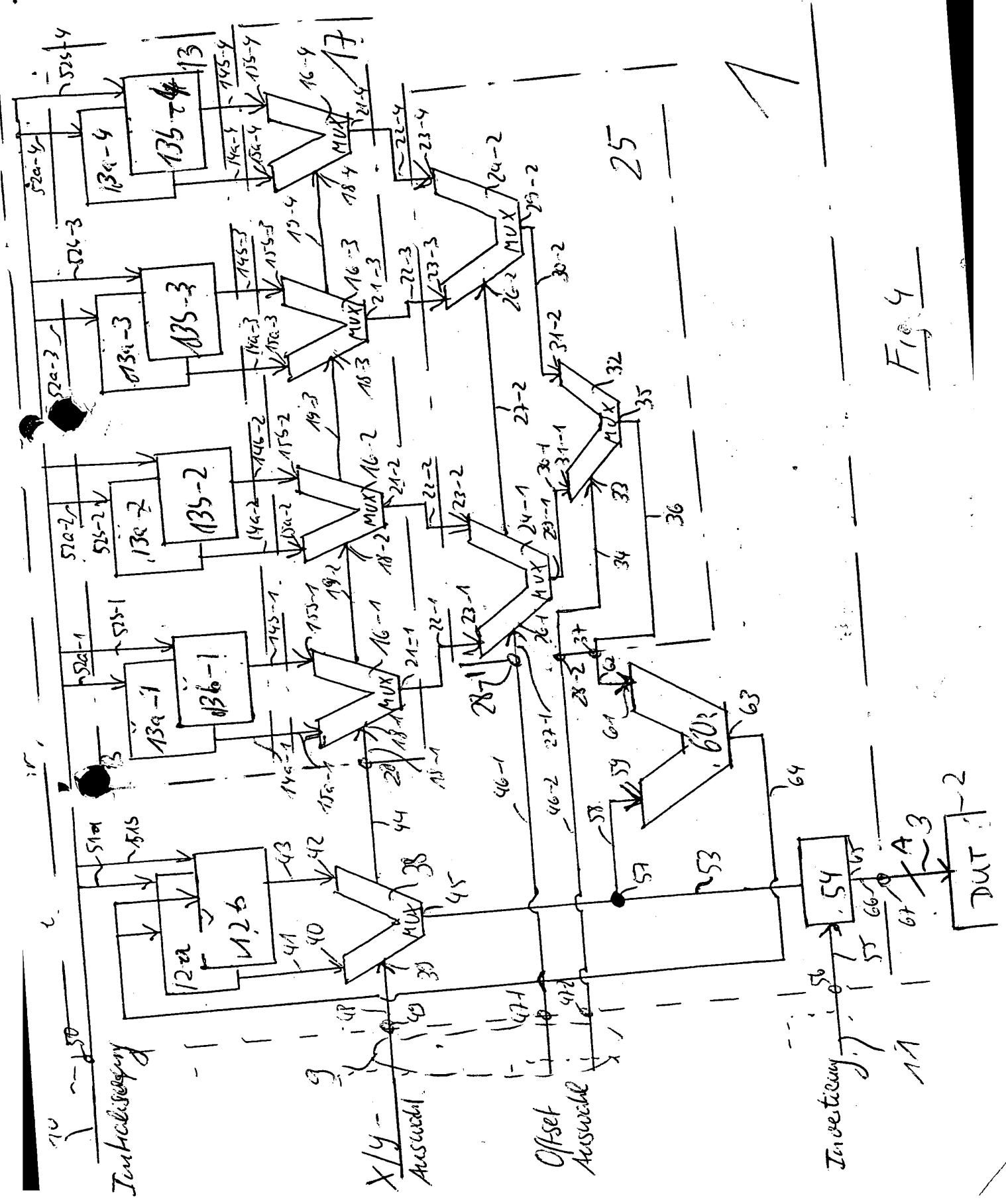


Fig 4